

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 13 日  
Application Date

申請案號：092122202  
Application No.

申請人：全懋精密科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日  
Issue Date

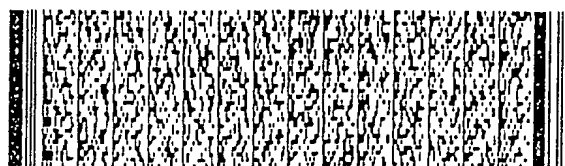
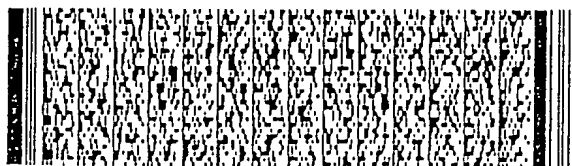
發文字號：09221020210  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具電性連接墊金屬保護層之半導體封裝基板結構及其製法
	英文	SEMICONDUCTOR PACKAGE SUBSTRATE WITH PROTECTIVE METAL LAYER ON PADS FORMED THEREON AND METHOD FOR FABRICATING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 許詩濱 2. 蔡琨辰
	姓名 (英文)	1. Shih-Ping HSU 2. Kun-Chen TSAI
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉山腳村山林路一段276號 2. 屏東縣屏東市廣東路189巷8號
	住居所 (英文)	1. No. 276, Sec. 1, San-Lin Rd., San-Gou Village, Loo-Chu, Taoyuan Hsien, Taiwan, R.O.C. 2. No. 8, Lane 189, Kuang-Tung Road, Pitung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 全懋精密科技股份有限公司
	名稱或姓名 (英文)	1. PHOENIX PRECISION TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學園區力行路6號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN

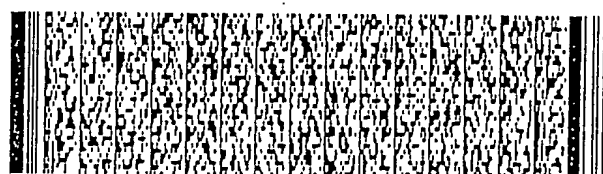
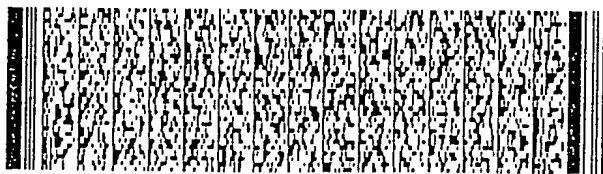


四、中文發明摘要 (發明名稱：具電性連接墊金屬保護層之半導體封裝基板結構及其製法)

一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法，主要係提供一絕緣層，且該絕緣層中形成有複數個盲孔以顯露覆蓋於該絕緣層下之內層線路，再於該絕緣層及盲孔表面形成一導電膜，且該導電膜上形成第一阻層，並使該第一阻層形成有多數之開口以外露出部分導電膜，接著進行電鍍製程以在該第一阻層開口中形成有圖案化線路層及於該絕緣層之盲孔形成導電盲孔，該圖案化線路層包含有複數個電性連接墊，且至少有一電性連接墊係電性連接至該導電盲孔，再形成一第二阻層覆蓋電性連接墊以外之圖案化線路層，俾使該電性連接墊外露出該第二阻層，接著進行電鍍製程以在該電性連接墊上形成阻障金屬層，之後移除該第二阻層、第一阻層與覆蓋於該第一阻層下之導電膜，復可再於該基板表面形成拒銲層，並使該拒銲層形成有複數個開孔以外露出該阻障金屬層。

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE SUBSTRATE WITH PROTECTIVE METAL LAYER ON PADS FORMED THEREON AND METHOD FOR FABRICATING THE SAME)

A semiconductor package substrate with a protective metal layer on pads formed thereon and a method for fabricating the same are proposed. An insulating layer is formed with a plurality of blind vias to expose an inner trace structure underneath the insulating layer. After a conductive film is formed on the surface of the insulating layer and the blind vias, a first



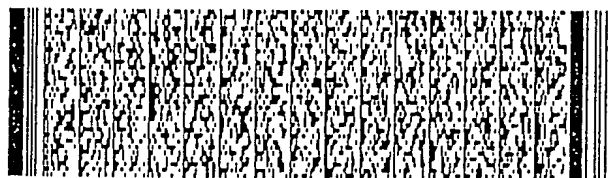
四、中文發明摘要 (發明名稱：具電性連接墊金屬保護層之半導體封裝基板結構及其製法)

本案代表圖：第 31 圖

- 30 絕緣層
- 30a 內層線路
- 33 線路層
- 35 阻障金屬層
- 36 拒銲劑層
- 302 導電盲孔
- 330 電性連接墊
- 360 拒銲劑層開孔

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE SUBSTRATE WITH PROTECTIVE METAL LAYER ON PADS FORMED THEREON AND METHOD FOR FABRICATING THE SAME)

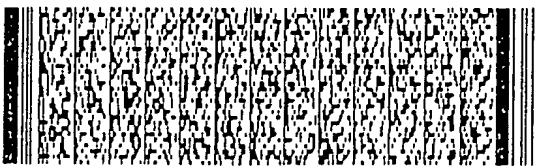
resist layer is formed thereon with a plurality of openings to expose the conductive film. A patterned trace structure including a plurality of pads is formed within the openings and conductive blind vias are formed within the blind vias of the insulating layer by an electroplating process, wherein at least a pad is electrically connected to the conductive blind via. A second resist layer



四、中文發明摘要 (發明名稱：具電性連接墊金屬保護層之半導體封裝基板結構及其製法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE SUBSTRATE WITH PROTECTIVE METAL LAYER ON PADS FORMED THEREON AND METHOD FOR FABRICATING THE SAME)

is partially formed on the patterned trace structure without covering the pads. After a barrier metal layer is formed on the pads by an electroplating process, the second resist layer, the first resist layer, and the conductive film underneath the resist layer are removed. Moreover, A solder mask is formed on the surface of the semiconductor package substrate with a plurality



四、中文發明摘要 (發明名稱：具電性連接墊金屬保護層之半導體封裝基板結構及其製法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE SUBSTRATE WITH PROTECTIVE METAL LAYER ON PADS FORMED THEREON AND METHOD FOR FABRICATING THE SAME)

of openings formed to expose the barrier metal layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

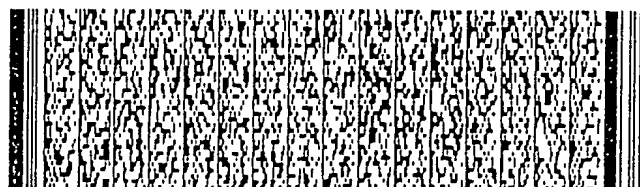
### 【發明所屬之技術領域】

本發明係關於一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法，尤指一種在製作基板線路與導電盲孔時，同時在基板之電性連接墊上形成金屬保護層之結構及其製程方法。

### 【先前技術】

在電子產品輕薄短小、多功能、高速及高頻化的趨勢下，印刷電路板 (PCB) 或 IC 封裝基板技術已朝向細線路及小孔徑發展。目前印刷電路板或 IC 封裝基板製程從傳統  $100\mu\text{m}$  以上之線路尺寸：包括導線寬 (Line width)、導線間距 (Space) 與深寬比 (Aspect ratio)，降至約  $30\mu\text{m}$ ，並朝更小之線路精度進行研發。

習知上當基板導線尺寸在  $40\mu\text{m}$  以上時，一般係採用成本低廉且蝕刻快速之傳統蝕刻法，即如第 1A 及 1B 圖所示在一絕緣層 10 之表面上形成一金屬層 11，接著在該金屬層 11 上塗佈一阻層 12，再利用濕蝕刻法，採用一強酸或強鹼蝕刻液 13 (Etchant) 之擴散效應 (Diffusion) 與待蝕刻之金屬層 11 之表面分子行化學反應以完成蝕刻移除，而除了高蝕刻速率與低使用成本外，此種減成 (Subtractive) 蝕刻法尚具有蝕刻後之導電層厚度均勻度 (Uniformity) 較高之優點，且由於該蝕刻法係藉該蝕刻液 13 與特定材料之化學反應所致，因此其蝕刻選擇性 (Selectivity) 將較其他方法佳，而不致移除不欲蝕刻的其他材料，惟也由於此種濕式蝕刻為一等向性 (Isotropic) 蝕刻，因此在向下蝕刻時





## 五、發明說明 (2)

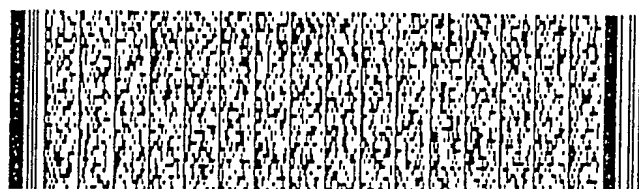
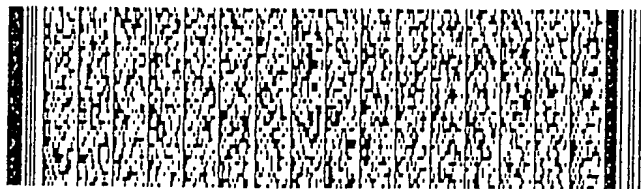
將導致如第 1B 圖所示之底切 (Undercut) 現象 14，影響製程之精度，此一濕蝕刻法的質量傳遞 (Mass transport) 精度限制將使其蝕刻之導線尺寸難以再往下發展。

至於一般用於半導體製程之乾式蝕刻法 (Dry etching)，不論是濺擊蝕刻 (Sputtering etching) 或電漿蝕刻 (Plasma etching)，其非等向性 (Anisotropic) 之蝕刻特性雖可達致較細之蝕刻精度並縮小導線線寬，惟其每分鐘僅能蝕刻數奈米 (nm) 之低蝕刻速率只適用於晶片厚度較薄之半導體晶片，對於厚度較厚 (5 至  $30\mu\text{m}$ ) 之封裝基板而言，乾蝕刻法所耗費之時間成本太大，顯然亦不敷所需，同時，乾蝕刻法係為一以離子轟擊該待蝕刻表面之物理蝕刻法，其蝕刻選擇性並不理想，因此若採用乾蝕刻法全程製作封裝基板，亦可能會有導電層遭受污染之問題。

相較於傳統之減成 (Subtractive) 蝕刻法，目前產業界係採可製造更細線路之加成 (Additive) 法，以因應更高密度之電路板，典型方法係以無電鍍銅於絕緣電路板上形成一晶種層 (Seed layer)，再於絕緣層上直接形成電路層，此一方法可再分為完全加成 (Fully-additive) 法及半加成 (Semi-additive) 法兩種製程，以避免蝕刻時所遭致的問題。

目前習知可製作較細電路之半加成法之典型製程係如第 2A 至 2F 圖所示。

請參閱第 2A 圖，首先，一核心電路板 20 包括有多數已圖案化之電路層 21，位於兩電路層 21 間之絕緣層 22，以及



### 五、發明說明 (3)

作為該電路層 21 間之電性內連接之電鍍導通孔 23。

如第 2B 圖所示，再提供兩有機絕緣層 24，以藉由真空壓合至該核心電路板 20 之表面。

請參閱第 2C 圖，接著，於該有機絕緣層 24 中圖案化形成有多數開孔 240，以顯露出部分之電路層 21，並於該有機絕緣層 24 表面形成一無電鍍銅薄層 25。

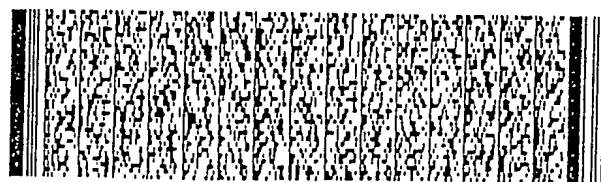
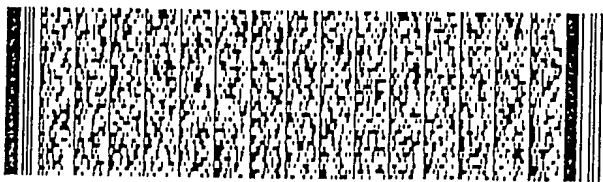
請參閱第 2D 圖，於該無電鍍銅 25 上佈設一圖案化之阻層 (Resist layer) 26，俾使該阻層 26 形成有多數之開口 (Opening) 260 以外露出該無電鍍銅 25。

請參閱第 2E 圖，再利用電鍍方式於該阻層開口 260 中形成線路層 27，該電鍍金屬層一般可為金屬銅所構成之導電線路。

請參閱第 2F 圖，之後，再移除該阻層 26 及其所覆蓋之無電鍍銅薄層 25 後，即可形成一增層式之四層基板 200。

其中，用於半導體封裝基板之表面即形成有多數由銅材質所組成之導電線路，並由其部分表面形成電性連接墊，以作為傳輸電子訊號或電源，同時，在該電性連接墊之外露表面一般會形成有一如鎳/金 (Ni/Au) 之金屬層，以有效提供該電性連接墊與導電元件如金線、凸塊或錫球與晶片或電路板之電性耦合，亦可避免因外界環境影響而導致該電性連接墊本體之氧化。

該電性連接墊可例如為半導體覆晶封裝基板與晶片電性耦合之凸塊錫墊 (Bump pad) 或預錫錫墊 (Presolder pad)，該電性連接墊亦可為打線式半導體封裝基板與晶片



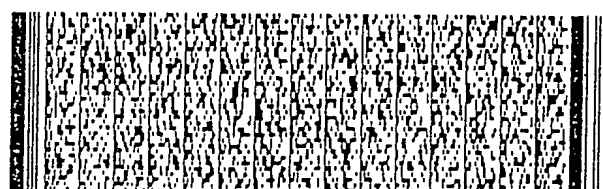
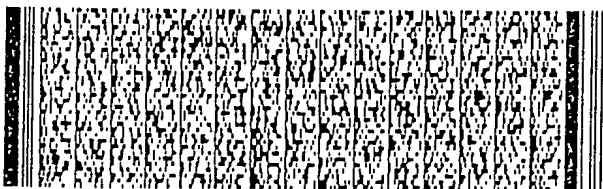
#### 五、發明說明 (4)

電性耦合之鐳墊 (Finger)，以及例如封裝基板與電路板作電性耦合之鐳球墊 (Ball pad)。藉由在該電性連接墊本體外露表面形成有一鎳 / 金金屬層，以提供包覆於該鎳 / 金金屬層內之電性連接墊 (通常為金屬銅) 不易因外界環境影響而氧化，以提高凸塊、預鐳錫或鐳球等植設於電性連接墊之電性連接品質。

而由於目前半加成法 (SAP) 製程之全面導通用之無電鍍銅薄層，在線路圖案化電鍍 (Pattern plating) 製程完成後就加以蝕刻 (Etching) 移除，而後為保護該電鍍線路層避免受外界環境污染，即在基板表面進行形成拒鐳劑 (綠漆) 製程，並使電性連接墊表面欲形成有鎳 / 金 (Ni/Au) 金屬層表面顯露出該拒鐳層之開孔，而因為先前電鍍導通用之無電鍍銅層已去除，故通常必須採用無電鍍 (Electro-less) 方式，即無外來電壓之驅動力量 (Driving force) 加以進行。

請參閱第 2G 及 2H 圖，為習知技藝中於一封裝基板之電性連接墊表面利用無電鍍方式，即化學鎳 / 金製程以形成鎳 / 金金屬層之方法示意圖。

請參閱第 2G 圖，如前所述，為使其中之鎳 / 金金屬層正確沈積於電性連接墊之表面，係在一完成所需之前段製程而形成有圖案化之線路層 27 之封裝基板 200 表面上，利用印刷 (Printing) 或塗佈 (Coating) 有一如綠漆之拒鐳層 (Solder mask) 28，且該封裝基板 200 表面之線路層 27 包含有複數個電性連接墊 270，並使該拒鐳層 28 於該電性連接



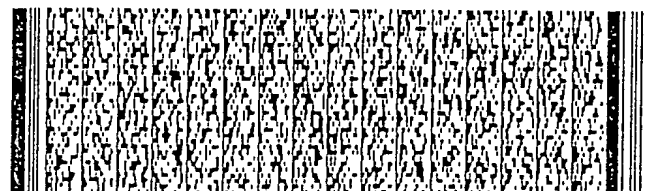
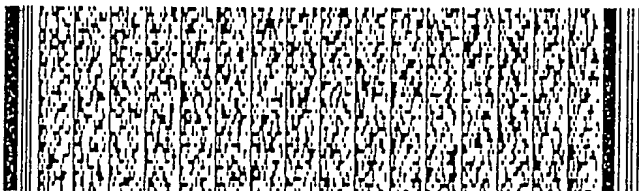
#### 五、發明說明 (5)

墊 270 處形成有開孔 280，以曝露出該電性連接墊 270。

請參閱第 2H 圖，於進行化學鎳 / 金製程時，將該基板 200 進行化鎳浸金製程 (Electroless Nickel/Immersion Gold (EN/IG))，透過該拒錒層之開孔 280，使鎳 / 金金屬層 29 沈積於外露出該拒錒層開孔 280 之該電性連接墊 270 表面。

因此，如前所述，由於 SAP 製程中為電鍍圖案化線路供電流導通用之無電鍍銅薄層，在線路圖案化完成後即移除掉，而後欲形成之鎳金金屬層即因電鍍導通用之無電鍍銅層已去除，故必須採用無電鍍式形成，一般所採用之化學鎳 / 金製程中之製程液體將會對形成於該封裝基板表面之拒錒層進行腐蝕性攻擊，造成拒錒層之剝離 (Peeling) 與電性連接墊上之鎳 / 金金屬層污染等信賴性不佳問題。

此外，為符合市場需求，半導體封裝結構力求輕薄短小，晶片亦朝小尺寸、高積集化 (Integration) 發展，鑑此，作為晶片承載件 (Chip carrier) 之半導體封裝基板較佳係佈設有高密度之電性連接墊，以使承載於基板上之晶片得與基板形成良好且完整之電性連接，俾令高積集化之晶片得運作自如而完全發揮其功能及特性。惟由於佈有導線之 IC 封裝基板有其製程上之限制，其傳遞晶片訊號與改善頻寬、控制阻抗等功能之受限遂成為高輸入 / 輸出 (I/O) 數封裝件的發展障礙，且由於基板製程佔有封裝成本的 20% 至 50%，因此在半導體晶片之積體電路製程已縮小至 0.13  $\mu$  m 且封裝尺寸亦不斷縮小至幾乎與晶片同大 (約僅為



#### 五、發明說明 (6)

晶片之 1.2 倍 ) 時 , 如何開發可與其搭配的細線路 (Fine circuit)、高密度與小孔徑之封裝基板 , 無疑是積體電路產業乃至其他相關電子產業進入下一世代技術之重要研發課題。

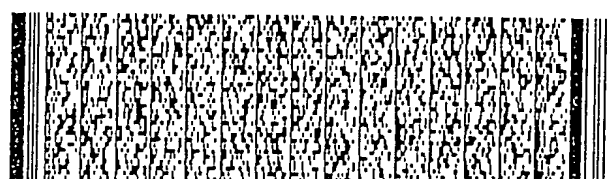
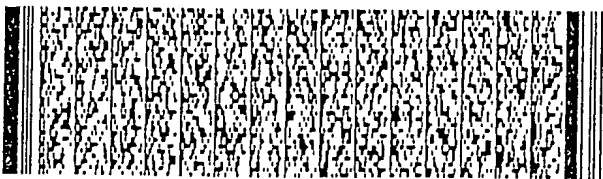
惟若欲將導線精度再往下進展 , 相對於基板上電性連接墊之尺寸面積與相鄰間距 (Pitch) 亦需隨之縮減 , 導致形成於該電性連接墊處之拒鍍層開孔太小 , 造成化學鎳 / 金製程中 , 因液體對流性不佳 , 致使化鎳粒子質量傳送 (Mass transfer) 不佳 , 不易滿鍍之現象 , 使後續之化金無法順利浸鍍 (Immersed) 於鎳金屬層上 , 因此出現跳鍍現象 , 或使該電性連接墊表面過度粗糙化無法形成緻密 (Dense) 之鎳 / 金金屬層。

#### 【發明內容】

鑒於以上所述習知技術之缺點 , 本發明之主要目的在於提供一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法 , 係可利用電鍍方式以形成電性連接墊表面之阻障金屬。

本發明之另一目的在於提供一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法 , 係可同時整合半加成法 (SAP) 形成線路結構與電鍍方式形成電性連接墊表面之阻障金屬層。

本發明之再一目的在於提供一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法 , 避免習知化學鎳金製程中製程液體對該封裝基板表面之拒鍍層進行腐蝕性攻



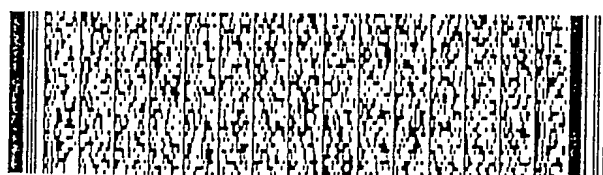
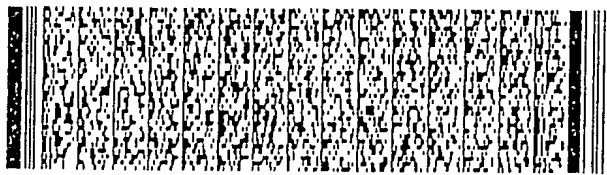
#### 五、發明說明 (7)

擊，造成拒鍍層之剝離與電性連接墊上之鎳/金金屬層污染等信賴性不佳問題。

本發明之又另一目的在於提供一種具電性連接墊金屬保護層之半導體封裝基板結構及其製法，避免化學鎳/金製程中因液體對流性不佳，致使化鎳粒子質量傳送 (Mass transfer) 不佳，不易滿鍍之現象，使後續之化金無法順利浸鍍 (Immersed) 於鎳金屬層上，因此出現跳鍍現象，或使該電性連接墊表面過度粗糙化無法形成緻密 (Dense) 之鎳/金金屬層等問題。

為達上述之目的，本發明係提供一種具電性連接墊金屬保護層之半導體封裝基板結構製法，其主要製程係包括：提供一絕緣層，且該絕緣層中形成有複數個盲孔以顯露覆蓋於該絕緣層下之內層線路；於該絕緣層及盲孔表面形成一導電膜；於該導電膜上形成第一阻層，並使該第一阻層形成有多數之開口外露出部分導電膜；進行電鍍製程以在該第一阻層開口中形成有圖案化線路層及於絕緣層之盲孔中形成有導電盲孔，該圖案化線路層包含有複數個電性連接墊，且至少有一電性連接墊係電性連接至該導電盲孔；形成一第二阻層覆蓋電性連接墊以外之圖案化線路層，俾使該電性連接墊外露出該第二阻層；進行電鍍製程以在該電性連接墊上形成阻障金屬層；以及移除該第二阻層、第一阻層與覆蓋於該第一阻層下之導電膜。

在另一較佳實施態樣中，本發明之具電性連接墊金屬保護層之半導體封裝基板結構製法主要係包括：提供一絕

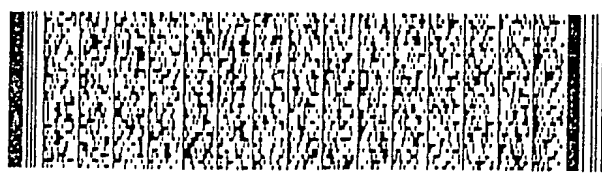
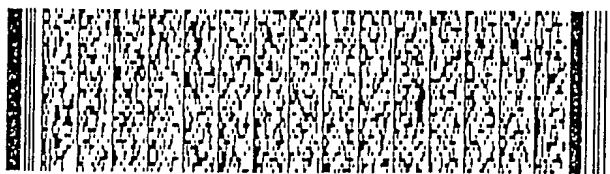


#### 五、發明說明 (8)

緣層，且該絕緣層中形成有複數個盲孔以顯露覆蓋於該絕緣層下之內層線路；於該絕緣層及盲孔表面形成一導電膜；於該導電膜上形成阻層，且該阻層形成有多數之開口以外露出部分導電膜；進行電鍍製程以在該阻層開口中形成有複數個電性連接墊及於該絕緣層之盲孔中形成有導電盲孔，且該電性連接墊係電性連接至該導電盲孔；進行電鍍製程以在該電性連接墊上形成阻障金屬層；以及移除該阻層與覆蓋於該阻層下之導電膜。其中，該阻層開口係對應至該絕緣層盲孔位置。

透過上述之製程，本發明亦提供一種具電性連接墊金屬保護層之半導體封裝基板結構，該基板主要包括有：至少一絕緣層，該絕緣層中形成有複數個導電盲孔以電性連接至覆蓋於該絕緣層下之內層線路；至少一圖案化線路層，係藉由一導電膜以電鍍方式形成於該絕緣層上，且該圖案化線路層包含有複數個電性連接墊，其中至少有一電性連接墊係電性連接至該導電盲孔；以及至少一阻障金屬層，係完整覆蓋住該電性連接墊上表面。

由於本發明中係運用半加成法 (SAP) 法於製作圖案化線路與導電盲孔時，利用其電鍍所需之導電膜，搭配第二次阻層，進行影像轉移以界定出欲電鍍表面金屬層 (例如鎳 / 金 (Ni / Au) 金屬層) 之區域，亦或僅在該基板表面形成有電性連接墊區域，俾在電性連接墊之上表面上形成有與該電性連接墊般大小之鎳 / 金金屬層，達成利用電鍍鎳 / 金取代習知化學鎳 / 金之結構與方法，進而避免習知化學鎳 /



#### 五、發明說明 (9)

金所導致之種種製程不良問題。

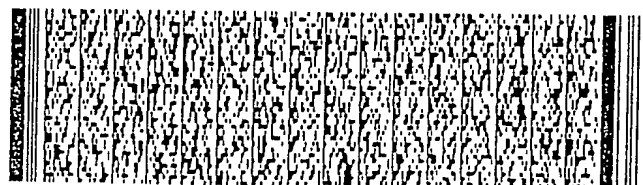
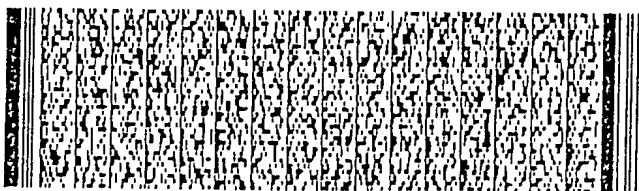
綜上所述，本發明係可在形成圖案化線路與導電盲孔製程時，利用作為全面電性導通之導電膜，復增設第二阻層影像轉移以覆蓋住電性連接墊外其餘之導電跡線區域，亦或僅在該基板表面形成有電性連接墊，再進行電鍍製程以在電性連接墊上形成阻障金屬層，藉以同時在基板中形成導電線路、導電盲孔、電性連接墊及覆蓋其上之阻障金屬層。俾取代無電鍍(Electro-less)製程，避免無電鍍製程中之製程液體對該封裝基板表面之拒鍍層進行腐蝕性攻擊，造成拒鍍層之剝離與電性連接墊上之鎳/金金屬層污染等信賴性不佳問題，以及避免因應細線路設計所造成之製程液體對流性不佳，形成不易滿鍍之現象，使後續之化金無法順利浸鍍(Immersed)於鎳金屬層上，出現跳鍍現象，或使該電性連接墊表面過度粗糙化無法形成緻密(Dense)之鎳/金金屬層。

#### 【實施方式】

為使本發明之目的、特徵及功效，能更進一步的瞭解與認同，茲配合詳細揭露及圖式詳加說明如后。當然，本發明可以多種形式實施之，以下所述係為本發明之較佳實施例，而非用以限制本發明之範圍，合先敘明。

請參閱第3A至3J圖，為本發明之具電性連接墊金屬保護層之半導體封裝基板結構製法之實施例剖面示意圖。

如第3A圖所示，首先，提供一介電絕緣層30，且該絕緣層30中形成有複數個盲孔301以顯露覆蓋於該絕緣層下

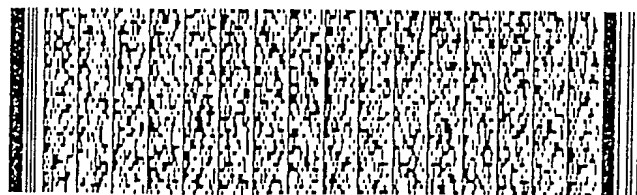
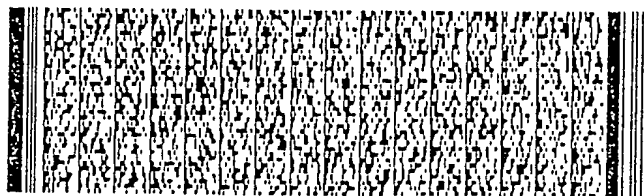




#### 五、發明說明 (10)

之內層線路 30a，並於該絕緣層 30及盲孔 301表面形成一導電膜 31。該絕緣層 30可例如為環氧樹脂 (Epoxy resin)、聚乙醯胺 (Polyimide)、氰脂 (Cyanate Ester)、玻璃纖維 (Glass fiber)、ABF (Ajinomoto Build-up Film, 日商味之素公司出產)、雙順丁烯二酸醯亞胺 / 三氮阱 (BT, Bismaleimide Triazine) 或混合環氧樹脂與玻璃纖維 (FR5) 等材質所構成；該導電膜 31 主要作為後述進行電鍍金屬層 (包含有圖案化線路層與電性連接墊上之阻障金屬層) 所需之電流傳導路徑，可由金屬、合金或堆疊數層金屬層所構成，可選自銅、錫、鎳、鉻、鈦、銅-鉻合金所構成之組群之金屬所形成。該導電膜 31 可藉由物理氣相沈積 (PVD)、化學氣相沈積 (CVD)、無電鍍或化學沈積等方式形成，例如濺鍍 (Sputtering)、蒸鍍 (Evaporation)、電弧蒸氣沈積 (Arc vapor deposition)、離子束濺鍍 (Ion beam sputtering)、雷射熔散沈積 (Laser ablation deposition)、電漿促進之化學氣相沈積或無電鍍等方法形成。惟依實際操作的經驗，該導電膜 31 較佳係由無電鍍銅粒子所構成。其中該絕緣層 30 係形成於多層電路層基板之表面，該基板可為已完成所需之前段製程，例如多數之導通孔 (PTH) 或盲孔等形成於其中，以供電性導通於疊層間線路 (未圖示)。

如第 3B 圖所示，再於該導電膜 31 上利用印刷、旋塗或貼合等方式覆蓋有第一阻層 32，該第一阻層 32 可例如為乾膜或液態光阻等之光阻層 (Photoresist)，並可藉由曝光



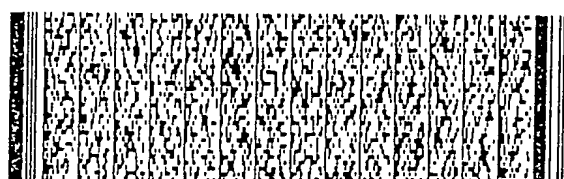
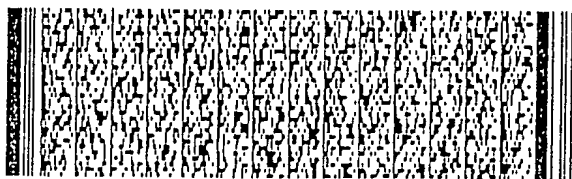
#### 五、發明說明 (11)

(Exposure)及顯影 (Development)等圖案化製程使該第一阻層 32形成有複數個開口 320，藉以顯露出欲形成有圖案化線路層之部分導電膜 31。

如第 3C圖所示，接著進行電鍍製程以在該第一阻層開口 320中形成有圖案化線路層 33以及於該絕緣層盲孔 301中形成有導電盲孔 302，該圖案化線路層 33包含有複數個電性連接墊 330，俾使該電性連接墊 330得以藉由形成於該絕緣層 30之導電盲孔 302以電性連接至內層線路 30a。其中該導電盲孔 302可直接形成於該電性連接墊 330下方，或藉由該圖案化線路層 33之導線以將該電性連接墊 330電性導接至該內層線路 30a。

如第 3D圖所示，形成一第二阻層 34覆蓋電性連接墊 330以外之圖案化線路層 33；其中該第二阻層 34可例如為乾膜或液態光阻等之光阻層 (Photoresist)，並可藉由曝光 (Exposure)及顯影 (Development)等圖案化製程使該第二阻層 34形成有複數個開口 320，藉以顯露出電性連接墊 330，該第二阻層 34之材質係可等同於該第一阻層 32之材質。

如第 3E圖所示，接著進行電鍍 (Electroplating)製程以透過該導電膜 31、導電盲孔 302與該電性連接墊 330等電流傳導路徑，俾形成一完整覆蓋於該電性連接墊 330上表面之阻障金屬層 35。該阻障金屬可為金、鎳、鈮、銀、錫、鎳 / 鈮、鉻 / 鈦、鎳 / 金、鈮 / 金或鎳 / 鈮 / 金等，較佳者為電鍍鎳 / 金金屬層，其係先電鍍一層鎳 351後，再於其上



#### 五、發明說明 (12)

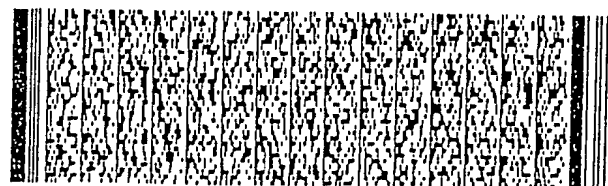
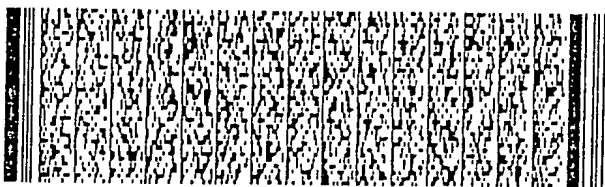
電鍍一層金 352(如第 3F 圖所示)，使該鎳 / 金金屬經由該導電膜 31 可電鍍於各電性連接墊 330 之整體上表面，俾將該電性連接墊 330 之上表面完整覆蓋有一阻障金屬層 35，當然本發明之阻障金屬材質之選擇，亦可僅為如前述之鎳、金或其他金屬之一，例如直接以金電鍍於電性連接墊之顯露表面，其為簡單之替換，皆應屬本發明實施之範疇。

如第 3G 圖所示，移除該第二阻層 34 與該第一阻層 32，即完成欲形成電鍍阻障金屬層 35 覆蓋於該電性連接墊 330 之整體上表面。

如第 3H 圖所示，復藉由蝕刻等技術加以移除先前為該第一阻層 32 所覆蓋之導電膜 31。

如第 3I 圖所示，之後於該封裝基板表面覆蓋上一拒錫層 (Solder mask) 36，例如綠漆，藉以保護該封裝基板免受外在環境污染破壞，該拒錫層 36 並形成有複數個開孔 360，使該完成電鍍阻障金屬層 35 之電性連接墊 330 得以顯露於拒錫層開孔 360。

請參閱第 4 圖，於另一較佳實施態樣中係可直接在基板表面上形成有多數之電性連接墊 330 以及在該絕緣層 30 中形成有導電盲孔 302，而無其餘導線部分，俾使該些電性連接墊 330 可直接藉由形成於該絕緣層 30 中之導電盲孔 302 以電性導接至該內層線路 30a。而後續在該電性連接墊 330 上電鍍形成阻障金屬層之製程中，由於在該基板表面僅形成有電性連接墊，則無需再覆蓋有第二阻層部分即可直接進行電鍍製程，藉以在該些電性連接墊之外露表面上



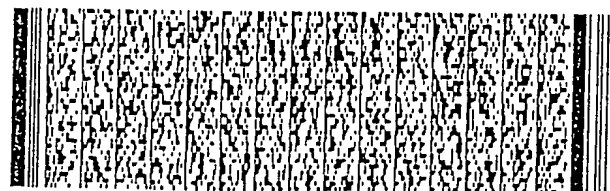
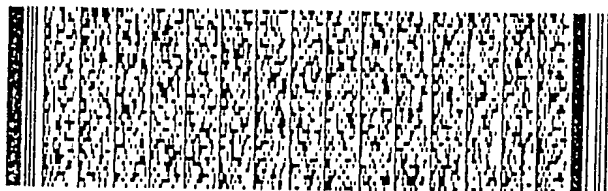
#### 五、發明說明 (13)

完整覆蓋有一阻層金屬層。

如前所述，本發明係利用半加成法 (SAP) 形成增層部分之線路與導電盲孔，而後利用形成該圖案化結構之第一阻層與導電膜，並另外再形成第二阻層 (薄乾膜) 覆蓋住不欲形成有阻障金屬層之導電跡線部分，俾定義出欲形成有阻障金屬層之電性連接墊部分，亦或僅在該基板表面形成有電性連接墊區域，以透過先前形成該圖案化線路結構之導電膜、導電盲孔與該電性連接墊，俾於該電性連接墊上加鍍一阻障金屬層例如鎳 / 金 (Ni/Au) 金屬層，以在該電性連接墊上形成與該電性連接墊上表面尺寸近似之阻障金屬層結構，之後再進行該些阻層與導電膜之移除，與後續拒銲劑層之製程，俾完成表面圖案化線路與電性連接墊上阻障金屬層之多層基板。

請參閱第 5 圖，為應用本發明之具電性連接墊金屬保護層之半導體封裝基板結構所形成之一底穴置晶型球柵陣列式 (Cavity down ball grid arrays, CDBGAs) 半導體封裝件，其特徵在於其中之基板形成有一開孔，並將一半導體晶片以倒置方式透過該開孔電性連接至該基板。

該 CDBGAs 半導體封裝件主要在一 BGA 半導體封裝基板 40 中形成有至少一貫穿其上下表面之開孔 41，並以一散熱片 42 接置於該基板 40 之上表面上以封閉住該開孔 41 之一側，俾將一半導體晶片 43 收納於該開孔 41 中，以將該晶片 43 之非作用面藉由一導熱性膠黏劑緊密黏附於該散熱片 42 上，並透過多數銲線 44 穿過該開孔 41 以電性連接該半導體晶片



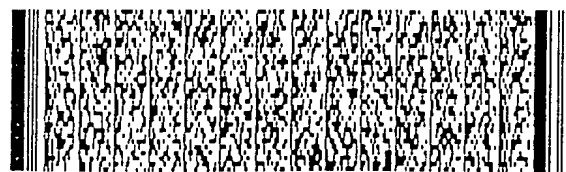
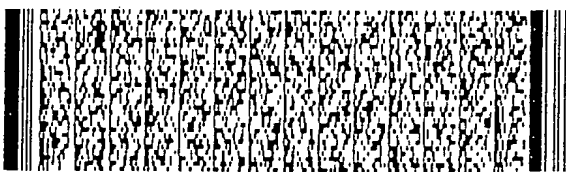
#### 五、發明說明 (14)

43與該基板 40下表面上之電性連接墊 401，而該電性連接墊 401之表面即覆蓋有一阻障金屬層 45(如鎳 / 金金屬層)，以提供該鐳線 44(如金線)得以有效鐳結與電性導接至該電性連接墊 401上，接著，再以封裝膠體 46包覆該半導體晶片 43與鐳線 44後，於該基板 40之電性連接墊 402上植置有多數鐳球 47，而該電性連接墊 402之表面亦覆蓋有一阻障金屬層 45，以提供該鐳球 47得以有效鐳結與電性導接至該電性連接墊 402上，以完成該整合有散熱片之半導體封裝件。

請參閱第 6 及第 7 圖為應用本發明之具電性連接墊金屬保護層之半導體封裝基板結構所形成之一打線式及覆晶式半導體封裝件剖面示意圖。

如第 6 圖所示，除上述之 CDBGA 半導體封裝件外，本發明亦可應用於打線式 (Wire bonding) 半導體封裝件 50，其係提供一打線式基板 51，並將至少一半導體晶片 52 接置於該基板 51 後，利用多數之鐳線 53 以將該晶片 52 電性連接至該基板 51 之電性連接墊 54 上，而與該鐳線 53 電性導接之該電性連接墊 54 上表面即完整覆蓋有阻障金屬層 55 如鎳 / 金金屬層，俾供該鐳線 53 (通常為金線) 得以有效鐳結至該電性連接墊 54 上。

如第 7 圖所示，本發明亦可應用於覆晶式半導體封裝件 60，其係提供一覆晶式基板 61，並將至少一半導體晶片 62 接置於該基板 61 後，利用該半導體晶片 62 電路面上之多數金屬凸塊 63 以覆晶方式電性導接至基板 61 表面之電性連

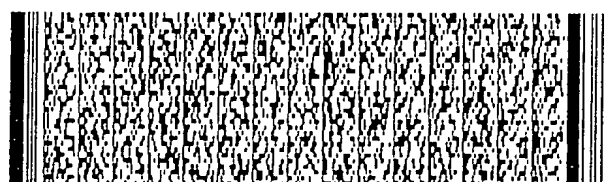
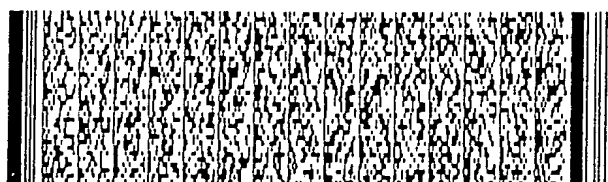


#### 五、發明說明 (15)

接墊 64，而與該金屬凸塊 63 電性導接之該電性連接墊 64 上表面即完整覆蓋有阻障金屬層 65 如鎳 / 金金屬層，不僅可保護電性連接墊 64 不受外界環境影響而鏽蝕，並得有效提供該金屬凸塊 63 與電性連接墊 64 之鐸結。

因此，本發明之具電性連接墊金屬保護層之半導體封裝基板結構，除可應用於打線式 (Wire bonding) 封裝基板外，亦可應用於覆晶式封裝基板；再者，本發明所述之電性連接墊，係可例如打線墊、凸塊鐸墊、預鐸錫鐸墊或鐸球墊等，先前圖式僅以部分電性連接墊表示，實際上該圖案化線路結構與電性連接墊之數目，係依實際製程所需而加以設計並分佈於基板表面，且該製程可實施於基板之單一側面或雙側面。

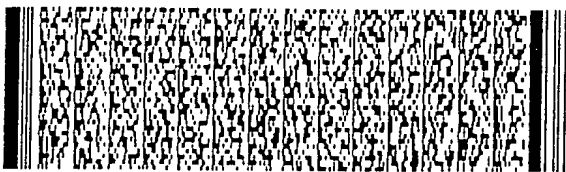
透過本發明之具電性連接墊金屬保護層之半導體封裝基板結構及其製法，不僅可在基板上形成多層之細線路結構以及在絕緣層中形成有導電盲孔，同時，亦可在該圖案化線路結構之電性連接墊上電鍍形成有一尺寸近似相同之阻障金屬層，以增加該電性連接墊與阻障金屬層之接觸面積，並有效提供該電性連接墊與其他導電元件 (如金屬凸塊、鐸球及鐸線等) 之電性耦合，同時亦可避免因外界環境影響而導致該電性連接墊本體之氧化；以及避免習知化學鎳 / 金製程時所產生之問題，而有效提昇封裝結構之信賴性。再者，雖說習知亦有利用電鍍方式形成該電性連接墊表面之阻障金屬層，惟習知之電鍍方式係藉由在封裝基板之表面另外佈設電鍍導線，俾藉由該電鍍導線以導通至



#### 五、發明說明 (16)

電性連接墊上，惟該製程中因該些電鍍導線之設置，將大幅減少封裝基板有效佈線面積，並可能因佈設該電鍍導線衍生出雜訊干擾等問題。

以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。



## 圖式簡單說明

### 【圖式簡單說明】

第 1A 及 1B 圖係習知之濕式蝕刻法的基板製程示意圖；

第 2A 至 2F 圖係習知之半加成法的基板製程示意圖；

第 2G 及 2H 圖係習知利用無電鍍方式於該基板之電性連接墊表面形成阻障金屬層之製程示意圖；

第 3A 至 3I 為本發明之具電性連接墊金屬保護層之半導體封裝基板結構製法實施例剖面示意圖；

第 4 圖為本發明之具電性連接墊金屬保護層之半導體封裝基板結構製法第二實施例剖面示意圖；

第 5 圖為應用本發明之具電性連接墊金屬保護層之半導體封裝基板結構所形成之一底穴置晶型球柵陣列式 (CDBGGA) 半導體封裝件剖面示意圖；

第 6 圖為應用本發明之具電性連接墊金屬保護層之半導體封裝基板結構所形成之一打線式半導體封裝件剖面示意圖；以及

第 7 圖為應用本發明之具電性連接墊金屬保護層之半導體封裝基板結構所形成之一覆晶式半導體封裝件剖面示意圖。

10, 22, 24, 30 絕緣層

12 阻層

14 底切

21 電路層

25 無電鍍銅

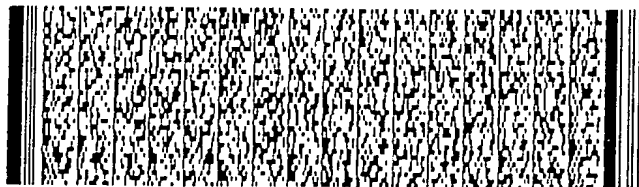
11 金屬層

13 蝕刻液

20 核心電路板

23 電鍍導通孔

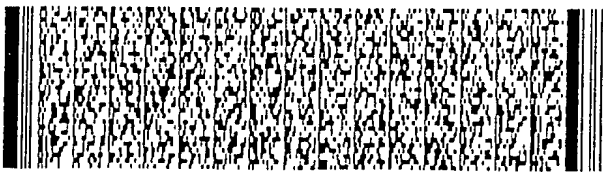
26 阻層





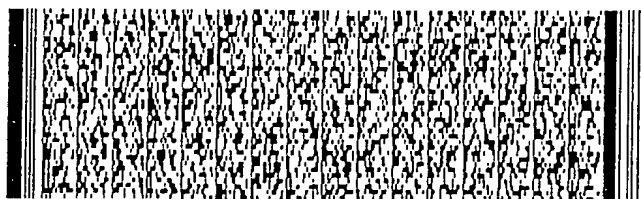
圖式簡單說明

27, 33	線路層	28, 36	拒銲劑層
29	鎳 / 金金屬層	30a	內層線路
31	導電膜	32	第一阻層
34	第二阻層	35, 45, 55, 65	阻障金屬層
40, 200	基板	41, 240, 280	開孔
42	散熱片	43, 52, 62	半導體晶片
44, 53	銲線	46	封裝膠體
47	銲球	50	打線式半導體封裝件
51	打線式基板		
54, 270, 330, 401, 402	電性連接墊		
60	覆晶式半導體封裝件		
61	覆晶式基板	63	金屬凸塊
260	開口	301	盲孔
302	導電盲孔	320	第一阻層開口
351	鎳金屬層	352	金金屬層
360	拒銲劑層開孔		



## 六、申請專利範圍

1. 一種具電性連接墊金屬保護層之半導體封裝基板結構，係包括：  
至少一絕緣層，該絕緣層中形成有複數個導電盲孔以電性連接至覆蓋於該絕緣層下之內層線路；  
至少一圖案化線路層，係藉由一導電膜以電鍍方式形成於該絕緣層上，且該圖案化線路層包含有複數個電性連接墊，其中至少有一電性連接墊係電性連接至該導電盲孔；以及  
至少一阻障金屬層，係完整覆蓋住該電性連接墊上表面。
2. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，復包括一拒鋸層，係形成於該基板表面，俾用以覆蓋住該圖案化線路層，且該拒鋸層形成有複數個開孔以外露出該阻障金屬層。
3. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，其中，該絕緣層係形成於多層電路基板表面。
4. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，其中，該封裝基板為覆晶式封裝基板及打線式封裝基板之其中一者。
5. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，其中，該電性連接墊可為凸塊鋸墊。
6. 如申請專利範圍第1項之具電性連接墊金屬保護層之半



#### 六、申請專利範圍

導體封裝基板結構，其中，該電性連接墊可為鐳球墊。

7. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，其中，該電性連接墊可為打線墊。
8. 如申請專利範圍第1項之具電性連接墊金屬保護層之半導體封裝基板結構，其中，該阻障金屬層為金、鎳、鈮、銀、錫、鎳/鈮、鉻/鈦、鎳/金、鈮/金及鎳/鈮/金所構成之群組之其中一者。
9. 一種具電性連接墊金屬保護層之半導體封裝基板結構製法，係包括：

提供一絕緣層，且該絕緣層中形成有複數個盲孔以顯露覆蓋於該絕緣層下之內層線路；

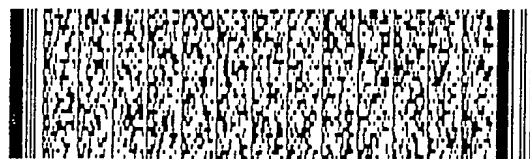
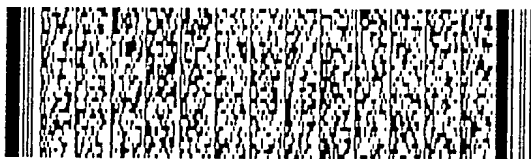
於該絕緣層及盲孔表面形成一導電膜；

於該導電膜上形成第一阻層，並使該第一阻層形成有多數之開口以外露出部分導電膜；

進行電鍍製程以在該第一阻層開口中形成有圖案化線路層及於絕緣層之盲孔形成導電盲孔，該圖案化線路層包含有複數個電性連接墊，且至少有一電性連接墊係電性連接至該導電盲孔；

形成一第二阻層覆蓋電性連接墊以外之圖案化線路層，俾使該電性連接墊外露出該第二阻層；

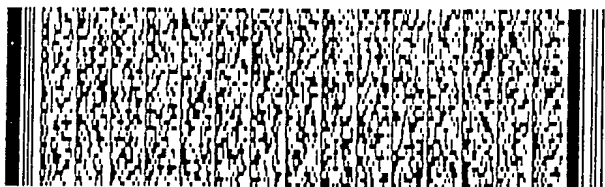
進行電鍍製程以在該電性連接墊上形成阻障金屬層；以及



#### 六、申請專利範圍

移除該第二阻層、第一阻層與覆蓋於該第一阻層下之導電膜。

10. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，復包括於該基板表面形成拒銲層，並使該拒銲層形成有複數個開孔以外露出該阻障金屬層。
11. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該絕緣層係形成於多層電路層基板之表面。
12. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該封裝基板為覆晶式封裝基板及打線式封裝基板之其中之一者。
13. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為凸塊銲墊。
14. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為銲球墊。
15. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為打線墊。
16. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該阻障金屬層可為金、鎳、鈮、銀、錫、鎳 / 鈮、鉻 / 鈦、鎳 / 金、鈮 / 金



## 六、申請專利範圍

及鎳 / 鈮 / 金所構成群組之其中一者。

17. 如申請專利範圍第 9 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該第一及第二阻層可為一乾膜及液態光阻之其中一者。

18. 一種具電性連接墊金屬保護層之半導體封裝基板結構製法，係包括：

提供一絕緣層，且該絕緣層中形成有複數個盲孔以顯露覆蓋於該絕緣層下之內層線路；

於該絕緣層及盲孔表面形成一導電膜；

於該導電膜上形成一阻層，且該阻層形成有多數之開口以外露出部分導電膜；

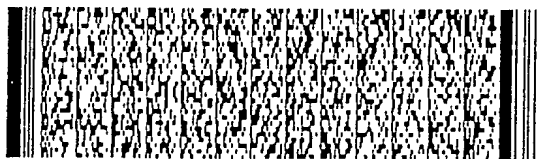
進行電鍍製程以在該阻層開口中形成有複數個電性連接墊及於該絕緣層之盲孔形成導電盲孔，且該電性連接墊係電性連接至該導電盲孔；

進行電鍍製程以在該電性連接墊上形成阻障金屬層；以及

移除該阻層與覆蓋於該阻層下之導電膜。

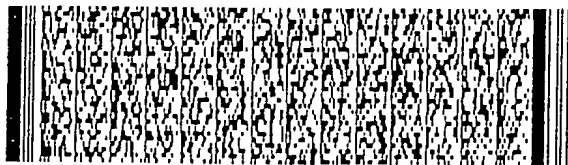
19. 如申請專利範圍第 18 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，復包括於該基板表面形成拒錐層，並使該拒錐層形成有複數個開孔以外露出該阻障金屬層。

20. 如申請專利範圍第 18 項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該阻層開口係對應至該絕緣層盲孔位置。

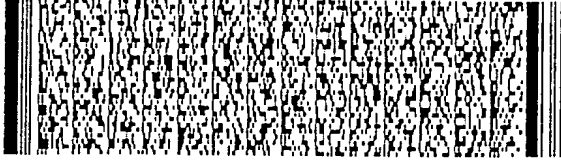


#### 六、申請專利範圍

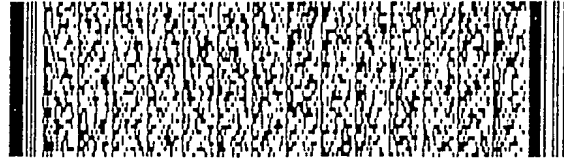
21. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該絕緣層係形成於多層電路層基板之表面。
22. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該封裝基板為覆晶式封裝基板及打線式封裝基板之其中之一者。
23. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為凸塊鉅墊。
24. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為鉅球墊。
25. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該電性連接墊可為打線墊。
26. 如申請專利範圍第18項之具電性連接墊金屬保護層之半導體封裝基板結構製法，其中，該阻障金屬層可為金、鎳、鈮、銀、錫、鎳/鈮、鉻/鈦、鎳/金、鈮/金及鎳/鈮/金所構成群組之其中之一者。



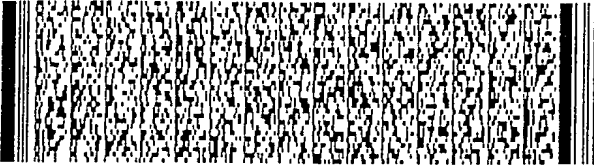
第 1/29 頁



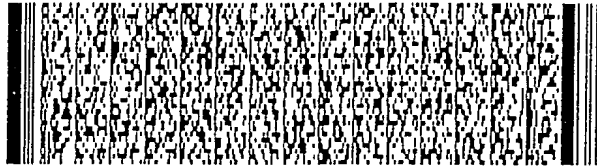
第 1/29 頁



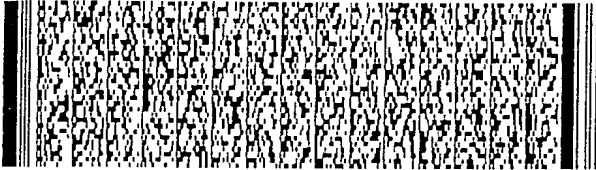
第 2/29 頁



第 2/29 頁



第 3/29 頁



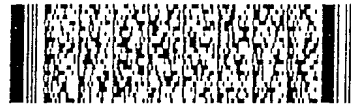
第 4/29 頁



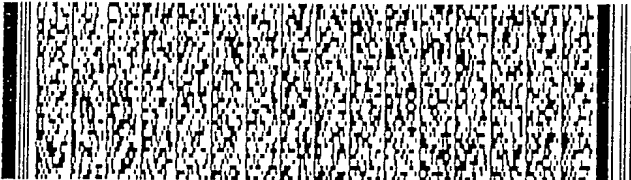
第 5/29 頁



第 6/29 頁



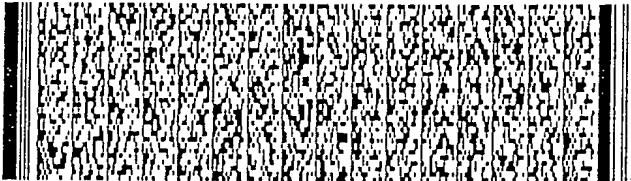
第 7/29 頁



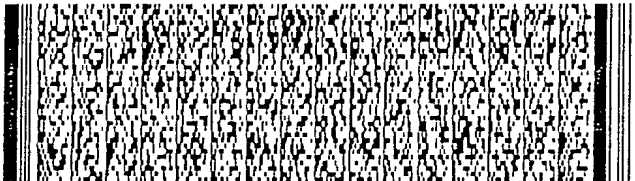
第 7/29 頁



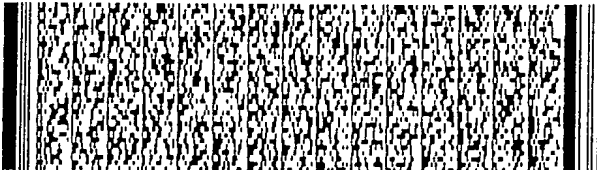
第 8/29 頁



第 8/29 頁



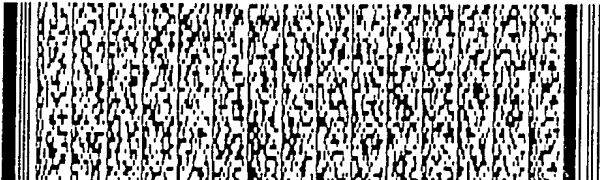
第 9/29 頁



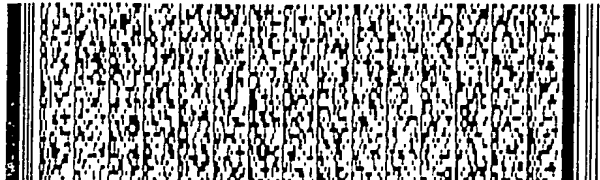
第 9/29 頁



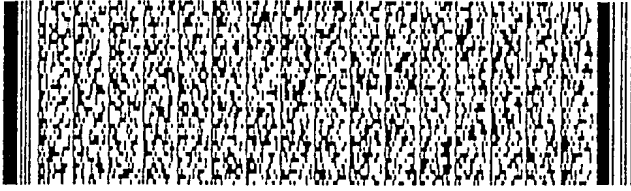
第 10/29 頁



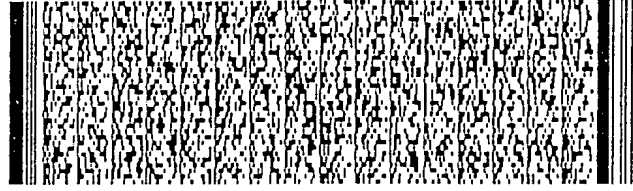
第 10/29 頁



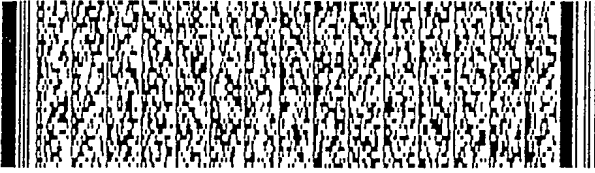
第 11/29 頁



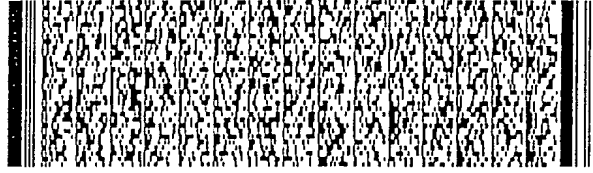
第 11/29 頁



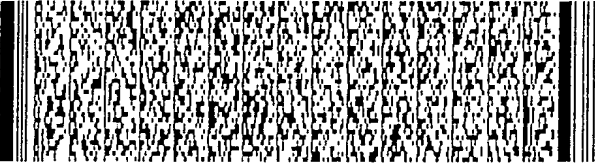
第 12/29 頁



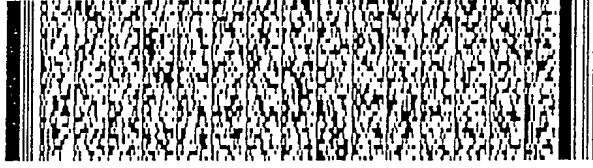
第 12/29 頁



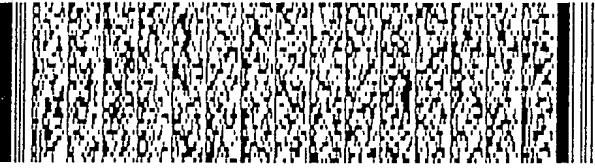
第 13/29 頁



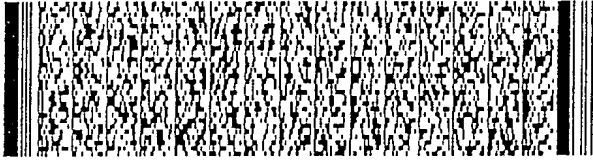
第 13/29 頁



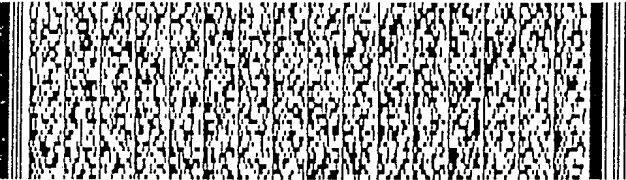
第 14/29 頁



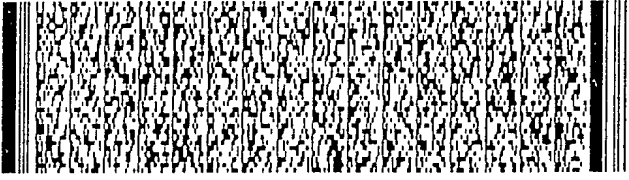
第 14/29 頁



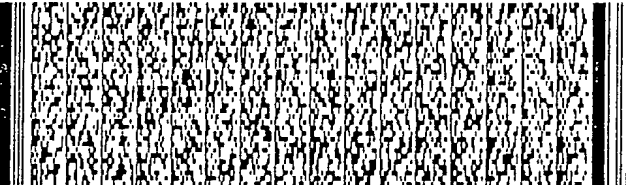
第 15/29 頁



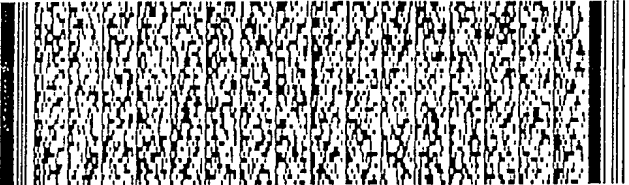
第 15/29 頁



第 16/29 頁



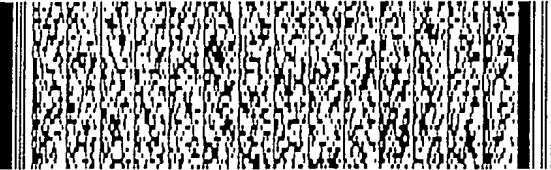
第 16/29 頁



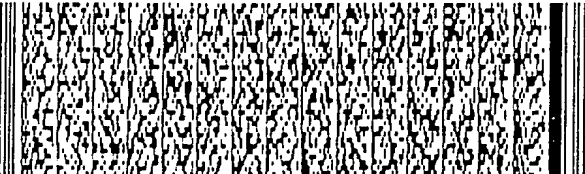
第 17/29 頁



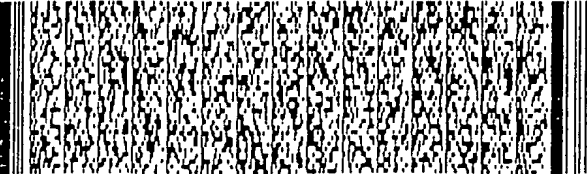
第 17/29 頁



第 18/29 頁

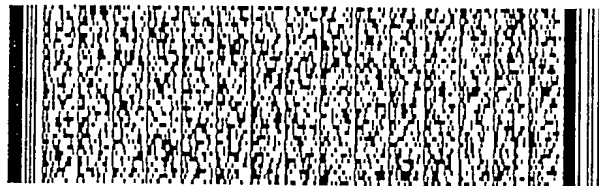


第 18/29 頁

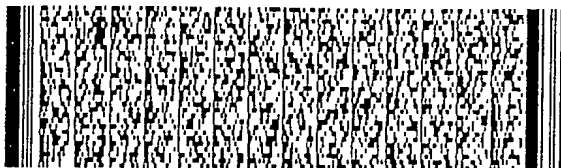




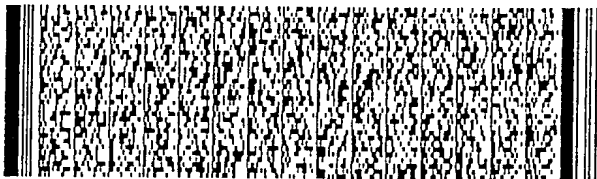
第 19/29 頁



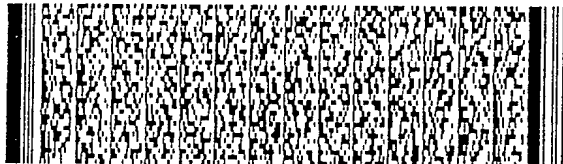
第 20/29 頁



第 21/29 頁



第 22/29 頁



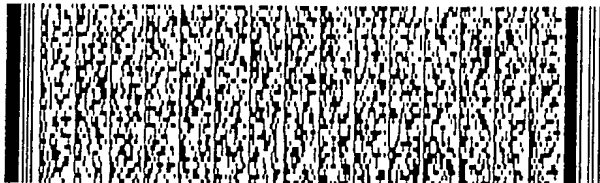
第 24/29 頁



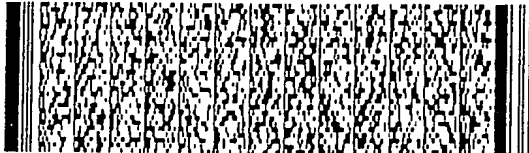
第 26/29 頁



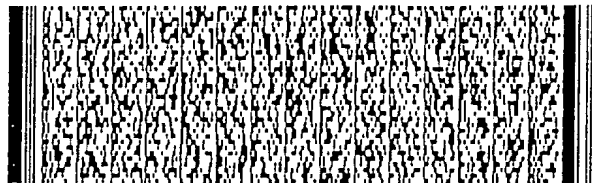
第 27/29 頁



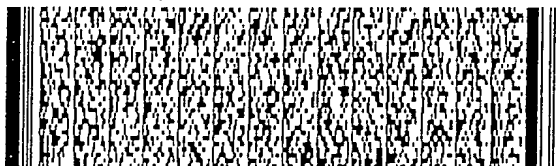
第 28/29 頁



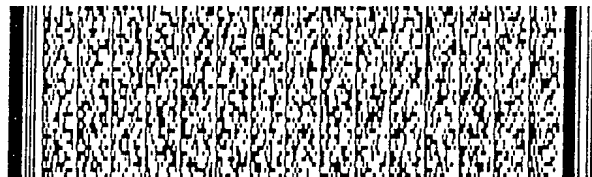
第 19/29 頁



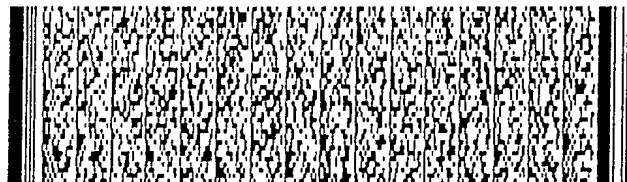
第 20/29 頁



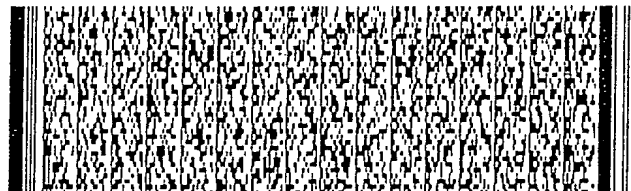
第 21/29 頁



第 23/29 頁



第 25/29 頁



第 26/29 頁

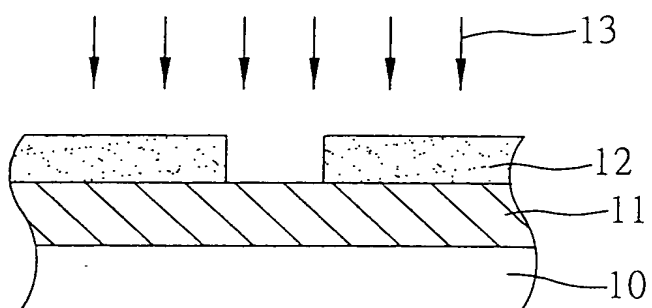


第 28/29 頁

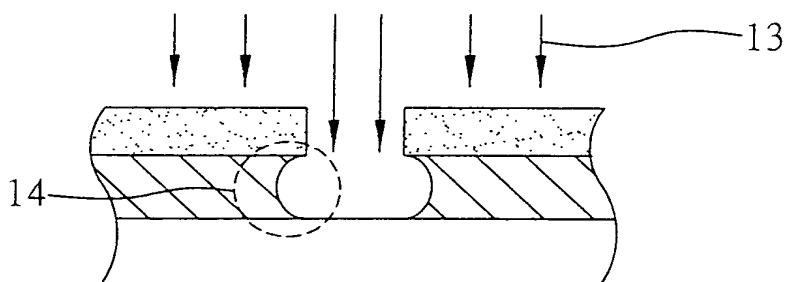


第 29/29 頁

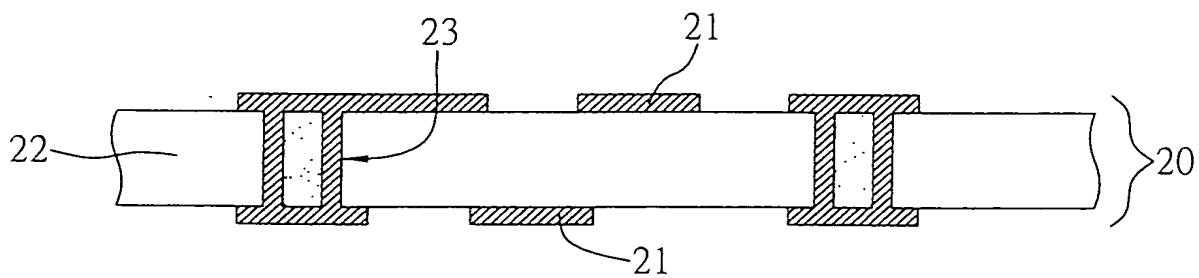




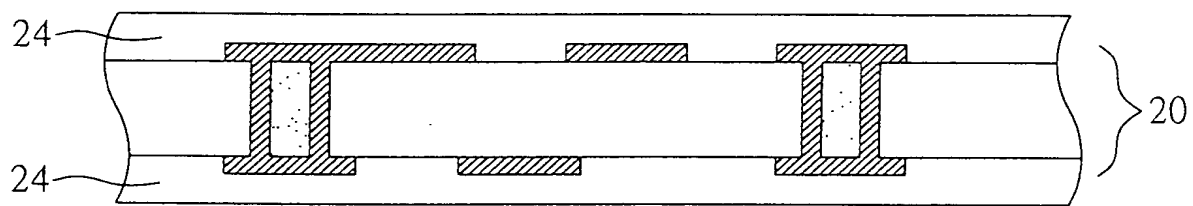
第 1A 圖



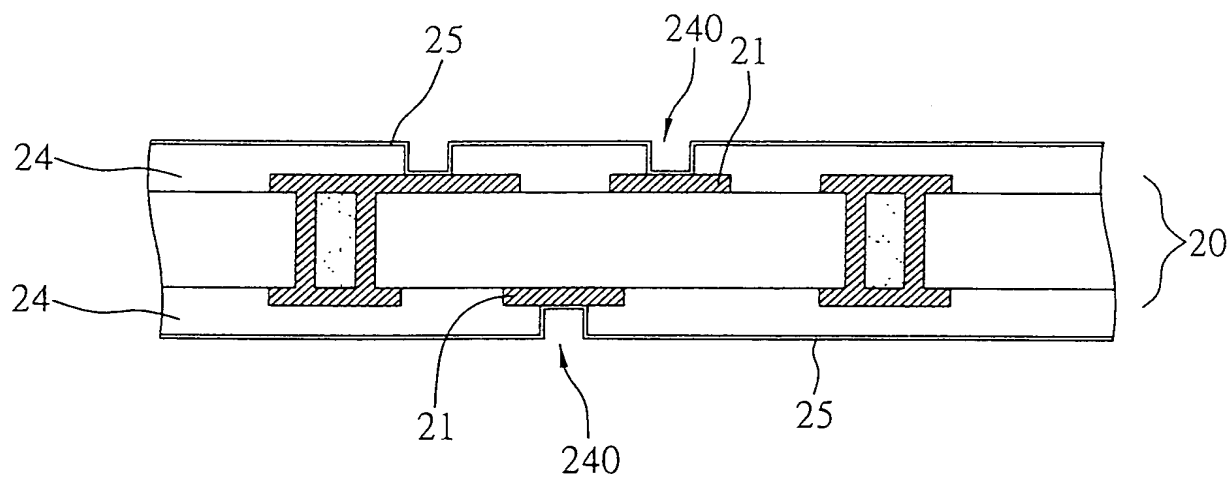
第 1B 圖



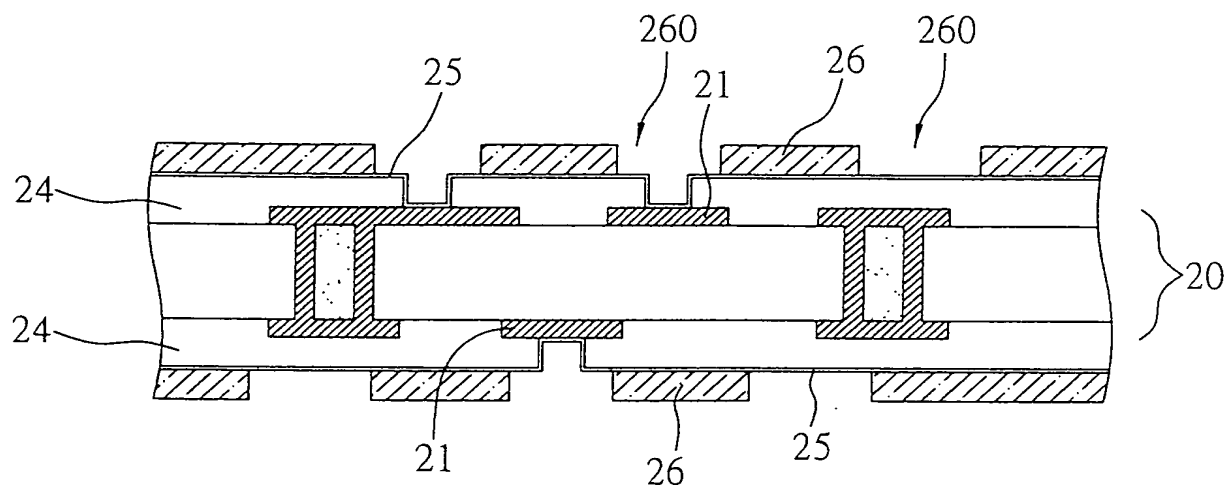
第 2A 圖



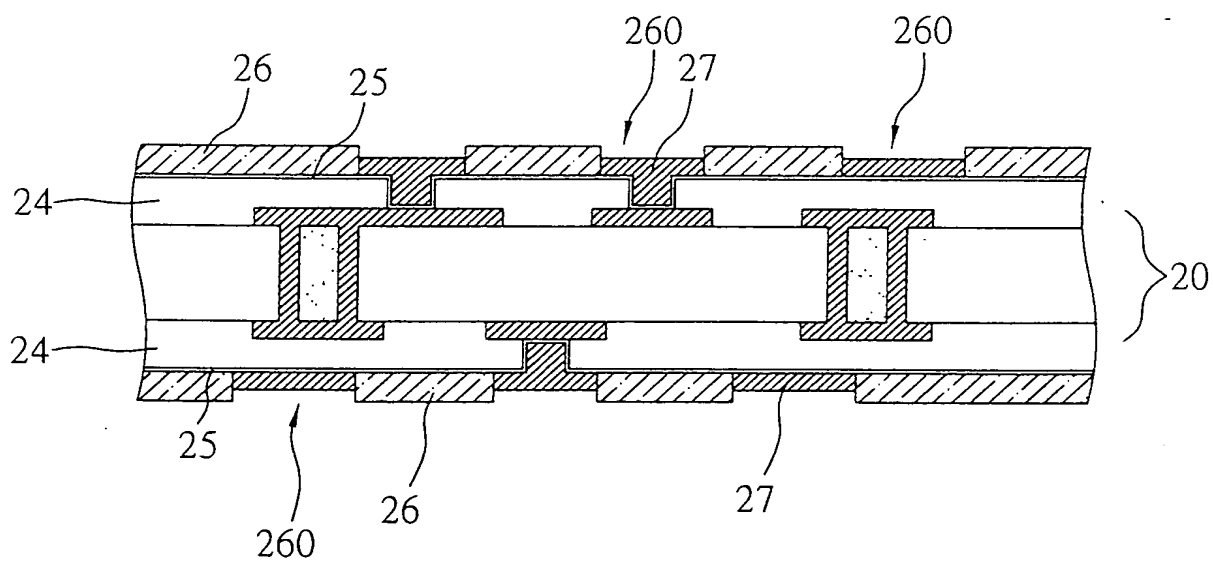
第 2B 圖



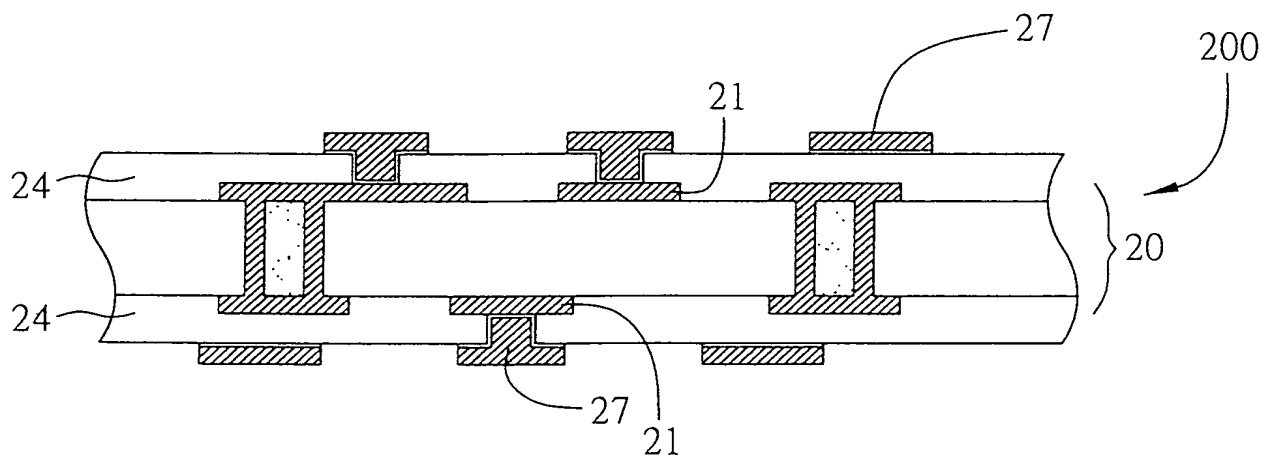
第 2C 圖



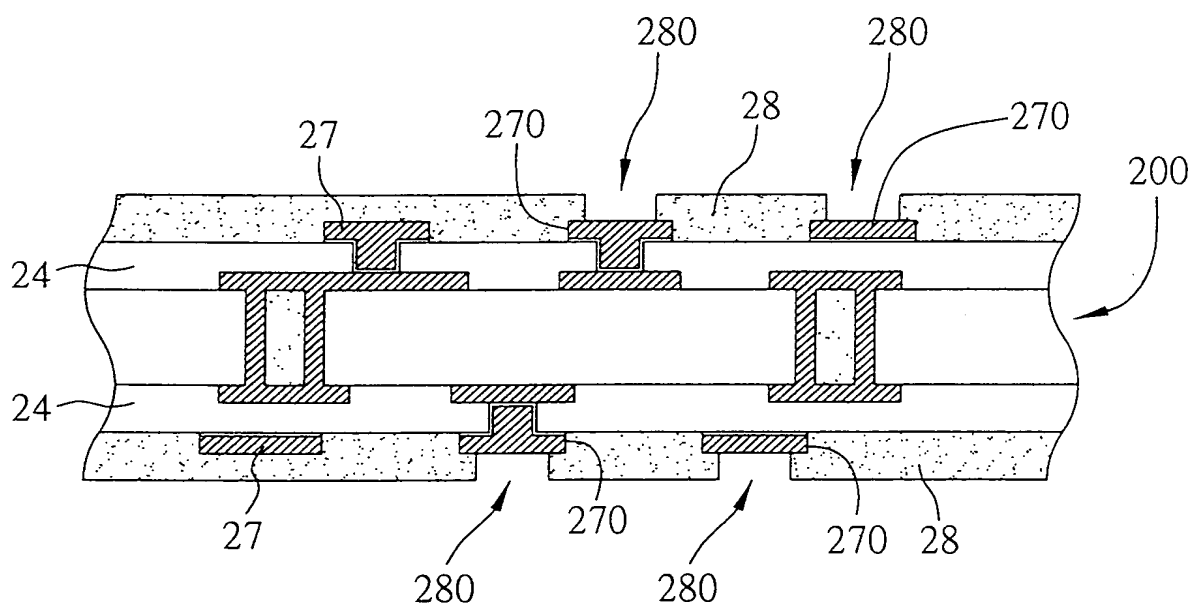
第 2D 圖



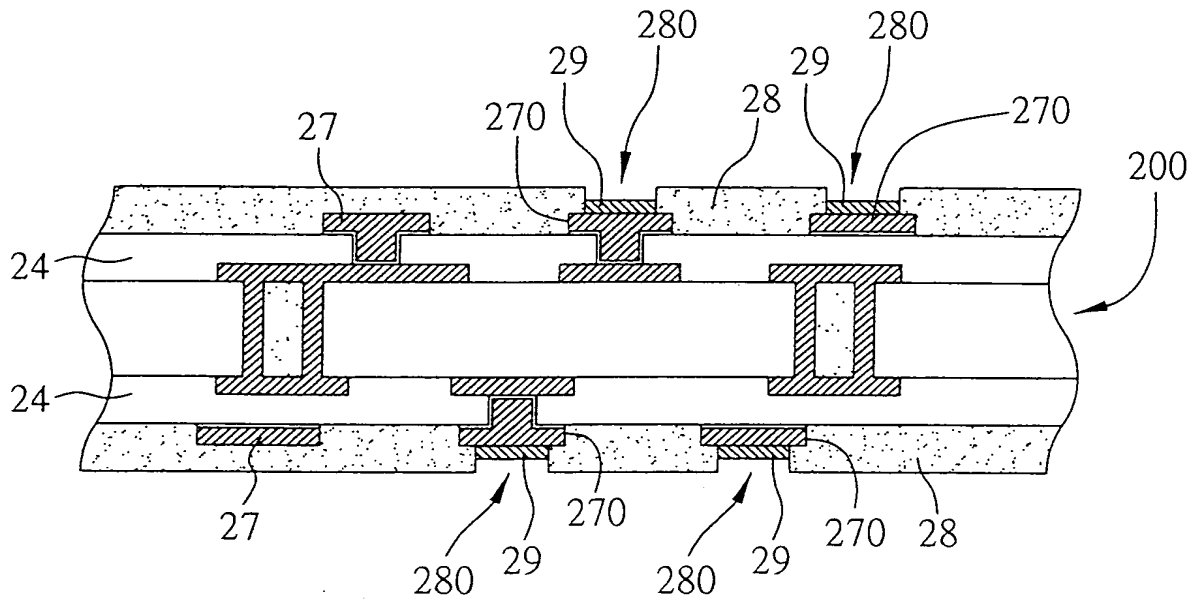
第 2E 圖



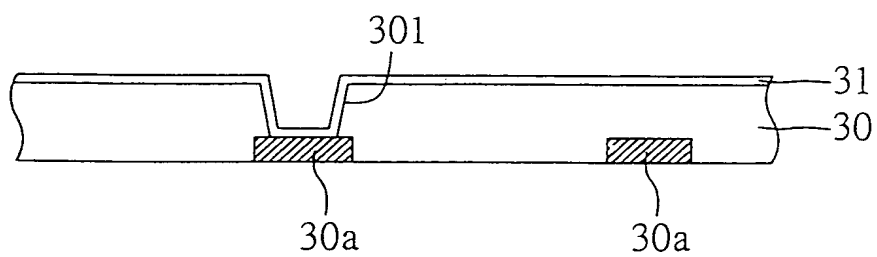
第 2F 圖



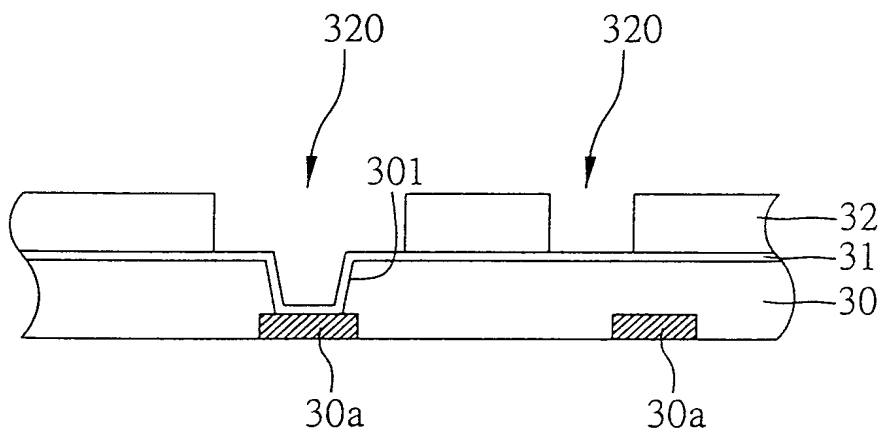
第 2G 圖



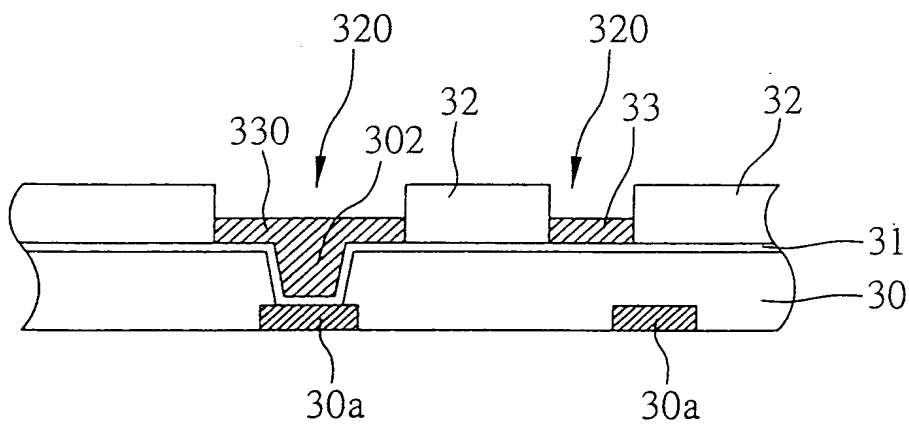
第 2H 圖



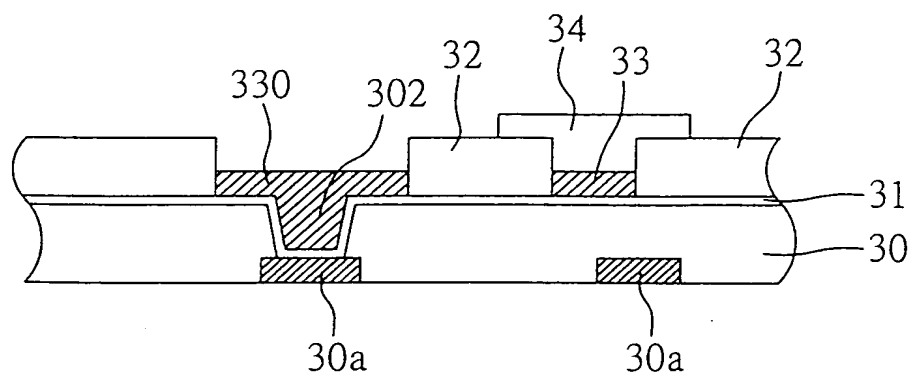
第 3A 圖



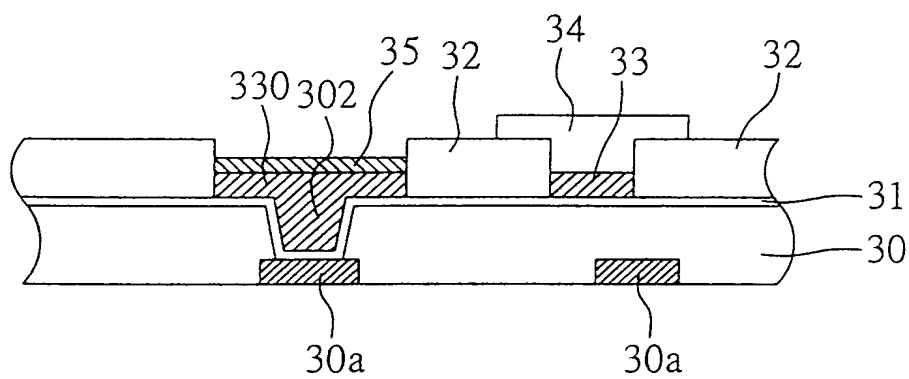
第 3B 圖



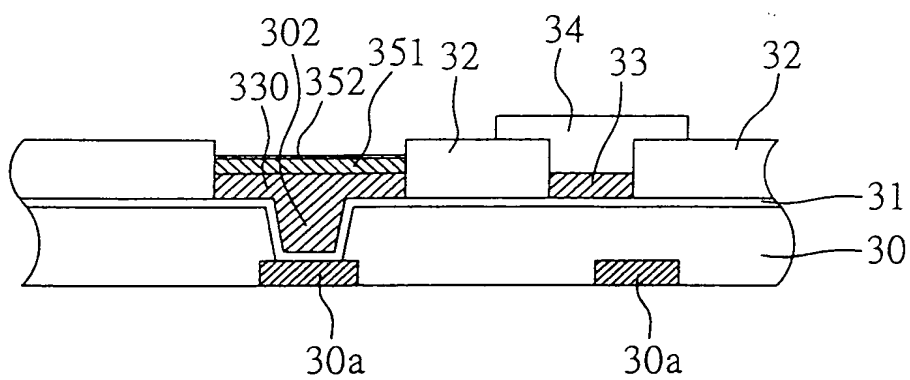
第 3C 圖



第 3D 圖

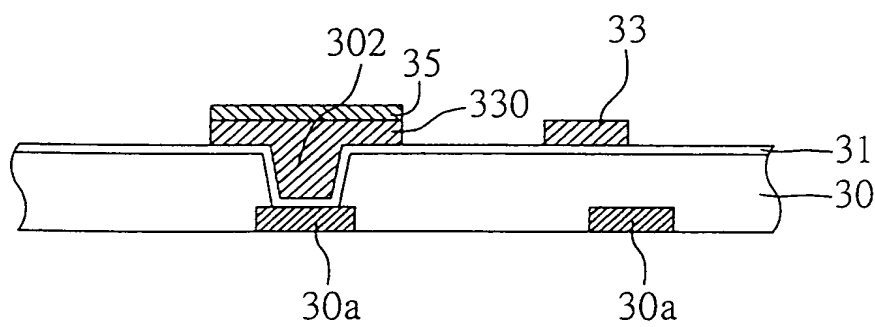


第 3E 圖

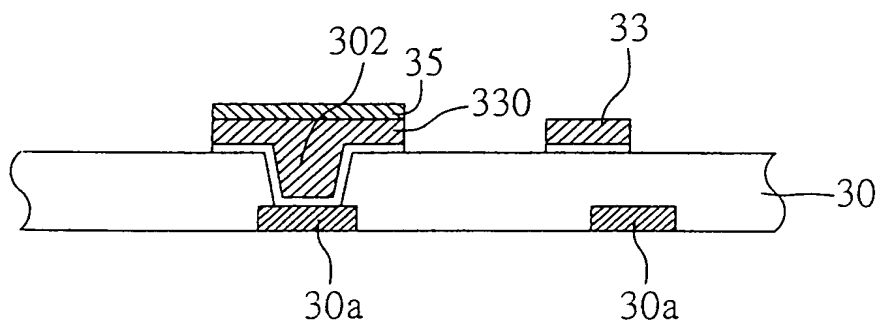


第 3F 圖

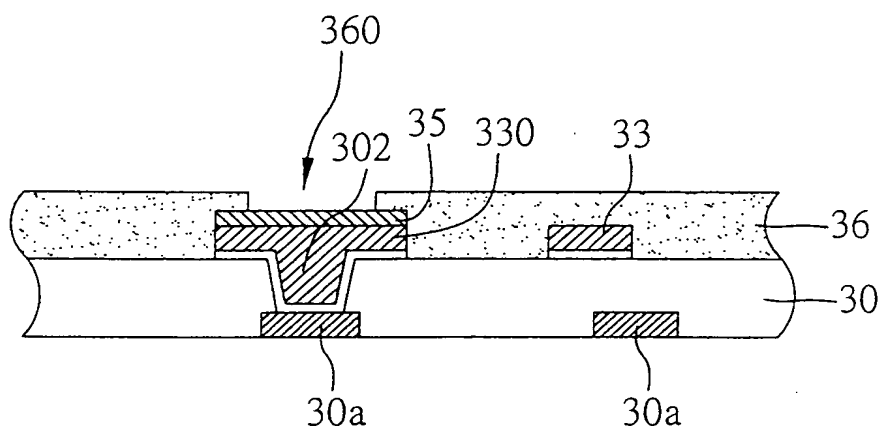




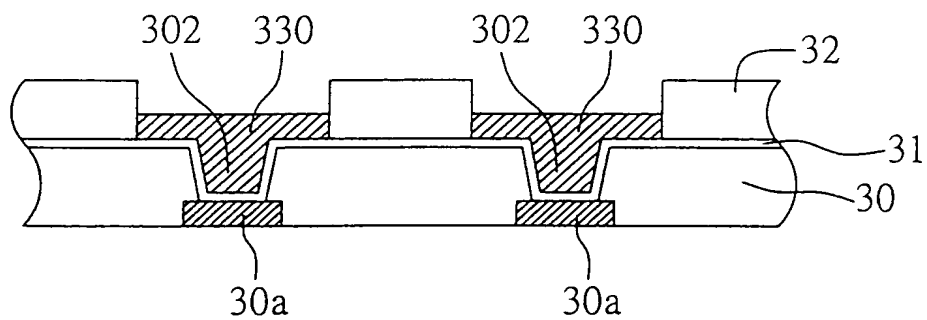
第 3G 圖



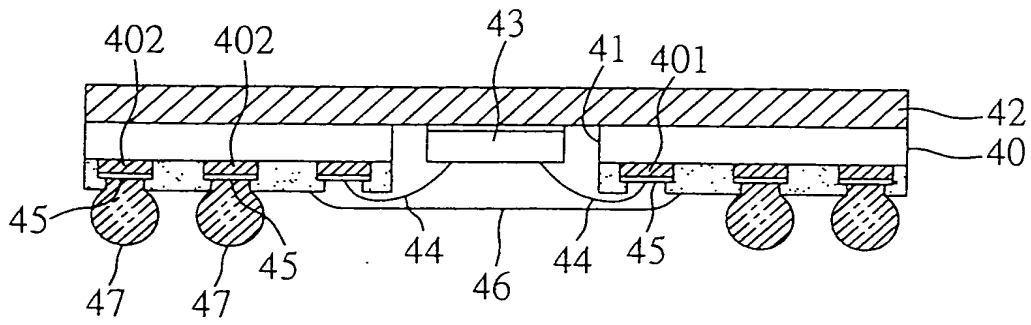
第 3H 圖



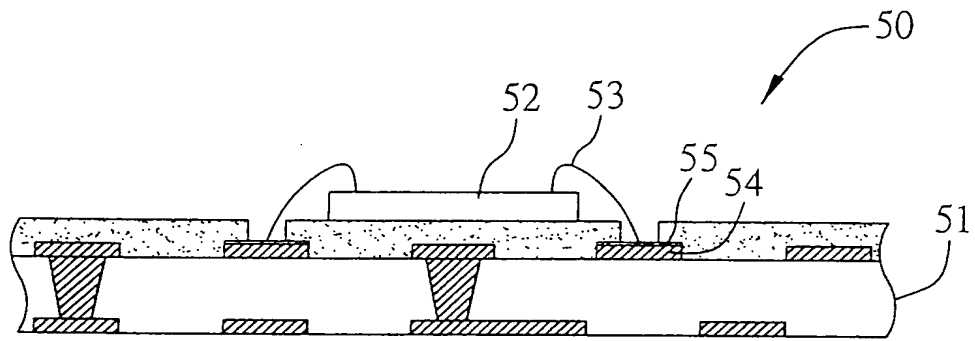
第 3I 圖 (代表圖)



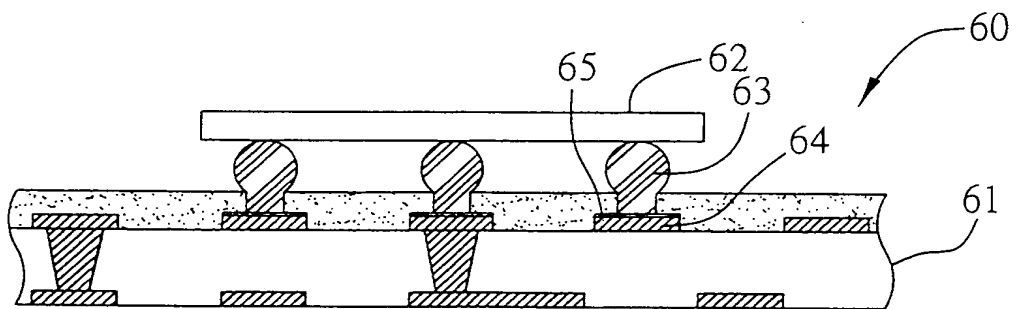
第 4 圖



第 5 圖



第 6 圖



第 7 圖